

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: **JONG-HYUN CHOI, et al.**
Application No.: New Application
Filed: January 22, 2004
For: **METHODS AND DEVICES FOR PREVENTING DATA
STORED IN MEMORY FROM BEING READ OUT**

PRIORITY LETTER

January 13, 2004 Honorable Commissioner of Patents and Trademarks
Washington, DC 20231

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

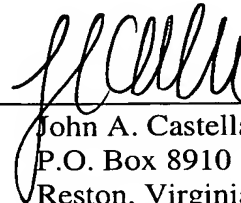
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0044676	July 2, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0044676
Application Number

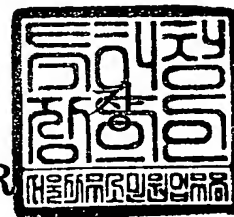
출원 년 월 일 : 2003년 07월 02일
Date of Application JUL 02, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청
COMMISSIONER





1020030044676

출력 일자: 2003/11/18

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.07.02
【발명의 명칭】	독출 방지 기능을 갖는 반도체 메모리 장치
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE WITH READ PROTECTION FUNCTION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	최종현
【성명의 영문표기】	CHOI, JONG-HYUN
【주민등록번호】	650120-1927221
【우편번호】	442-706
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 102동 1604호
【국적】	KR
【발명자】	
【성명의 국문표기】	서동일
【성명의 영문표기】	SEO, DONG-IL
【주민등록번호】	611117-1482126
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차아파트 501동 902호
【국적】	KR

【발명자】

【성명의 국문표기】 이규찬
 【성명의 영문표기】 LEE, KYU-CHAN
 【주민등록번호】 630105-1580915
 【우편번호】 134-070
 【주소】 서울특별시 강동구 명일동 삼익그린ATP 501동 705호
 【국적】 KR

【발명자】

【성명의 국문표기】 서영훈
 【성명의 영문표기】 SEO, YOUNG-HUN
 【주민등록번호】 740116-1772311
 【우편번호】 706-031
 【주소】 대구광역시 수성구 수성1가 신세계타운 9동 1506호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	24 면	24,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	29 항	1,037,000 원
【합계】		1,090,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

여기에 개시되는 반도체 메모리 장치는 독출 방지 유니트를 포함한다. 독출 방지 유니트는 파워-오프되기 이전에 저장된 데이터가 파워-온시 독출되는 것을 방지하도록 구성된다. 이는 메모리에 저장된 정보가 허여되지 않은 사람에게 노출되는 것을 방지하기 위한 것이다.

【대표도】

도 1

【명세서】

【발명의 명칭】

독출 방지 기능을 갖는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE WITH READ PROTECTION FUNCTION}

【도면의 간단한 설명】

도 1은 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도;

도 2는 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 3은 리세트 명령이 입력되기 전후의 백 바이어스 전압의 변화를 보여주는 도면;

도 4는 백 바이어스 전압이 리세트 명령의 입력에 따라 변화될 때 생기는 PN 접합의 순 바이어스 동작을 설명하기 위한 도면;

도 5는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 6은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 7은 플레이트 전압이 리세트 명령의 입력에 따라 변화될 때 생기는 데이터 초기화 동작을 설명하기 위한 도면;

도 8은 본 발명의 제 4 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 9는 본 발명의 제 5 실시예에 따른 반도체 메모리 장치를 보여주는 블록도;

도 10은 본 발명의 제 6 실시예에 따른 반도체 메모리 장치를 보여주는 블록도; 그리고

도 11은 본 발명의 바람직한 실시예에 따른 도 10에 도시된 데이터 입력 회로의 일부를 보여주는 회로도이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 반도체 메모리 장치 200 : 독출 방지 유니트

210 : 리세트 제어 회로 220 : 스위치

230 : 전압 검출 회로 300 : 디램 코어

310 : 메모리 셀 어레이 320 : 웰

330 : 백 바이어스 전압 발생 회로 340 : 플레이트 전압 발생 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18> 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로 휘발성 반도체 메모리 장치에 관한 것이다.
- <19> 반도체 메모리 장치로서, 다이내믹 랜덤 액세스 메모리 (dynamic random access memory: DRAM) 장치는 메모리 셀들을 포함하며, 각 메모리 셀은 하나의 액세스 트랜지스터 (access transistor)와 하나의 커패시터로 구성된다. 잘 알려진 바와 같이, 메모리 셀은 커패시터에 전하들이 저장되었는 지의 여부에 따라 데이터 '0' 또는 데이터 '1'을 저장할 수 있다. 커패시터에 저장된 전하들은 다양한 원인들로 인해 누설된다. 즉, DRAM 장치의 경우, 일정 시간이 지나면 메모리 셀에 저장된 데이터가 소실된다. 그러한 이유 때문에, 만약 전원이 차단될 때, DRAM 장치에 저장된 데이터는 일정 시간이 지나면 자연스럽게 소실된다.
- <20> 불행하게도, 비록 전원이 차단되더라도, DRAM 장치에 저장된 데이터 정보는 수초까지 유지될 수 있다. 만약 전원이 차단되고 바로 전원이 다시 공급되면, 전원이 차단되기 이전에 저장된 데이터가 메모리 셀들에 남아 있을 수 있다. 이는 이전에 저장된 데이터 정보가 읽혀지는

원하지 않는 결과를 일으킬 수 있다. 따라서, 전원이 차단되고 바로 전원이 다시 공급되더라도, 전원이 차단되기 이전에 저장된 데이터가 읽혀지는 것을 방지할 수 있는 기술이 절실히 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명의 목적은 전원 차단 이전에 저장된 데이터가 전원 공급 후에 읽혀지는 것을 방지할 수 있는 반도체 메모리 장치를 제공하는 것이다.
- <22> 본 발명의 다른 목적은 전원이 차단되기 이전에 메모리 셀들에 저장된 데이터 값들을 초기화시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.
- <23> 본 발명의 또 다른 목적은 전원 공급 이후에 수행되는 최초의 읽기 동작을 방지할 수 있는 반도체 메모리 장치를 제공하는 것이다.

【발명의 구성 및 작용】

- <24> 상술한 제반 목적을 달성하기 위한 본 발명의 특징에 따르면, 반도체 메모리 장치는 데이터 정보를 저장하기 위한 메모리 셀들을 포함하는 디램 코어와; 그리고 파워-오프 이전에 상기 메모리 셀들에 저장된 데이터 정보가 파워-온시 읽혀지는 것을 방지하도록 구성된 독출 방지 수단을 포함한다.
- <25> 바람직한 실시예에 있어서, 상기 디램 코어는 상기 메모리 셀들이 형성되는 웰 영역과; 그리고 상기 웰 영역에 공급될 백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로를 포함한다. 상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 외부로부터 제공되는 리셋 명령에 응답하여 상기 웰 영역에 전원 전압과 외부 전원 전압 중 어느 하나를 공급함과 동시에 상기 백 바이어스 전압 발생 회로를 비활성화시킨다. 또는,

상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은 지의 여부에 응답하여 상기 웰 영역에 상기 전원 전압과 외부 전원 전압 중 어느 하나를 공급함과 동시에 상기 백 바이어스 전압 발생 회로를 비활성화시킨다.

<26> 다른 실시예에 있어서, 상기 디램 코어는 각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와; 그리고 상기 메모리 셀들의 플레이트 노드들에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로를 포함한다. 상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 외부로부터 제공되는 리세트 명령에 응답하여 상기 메모리 셀들의 플레이트 노드들에 상기 플레이트 전압보다 낮은 리세트 전압을 공급함과 동시에 상기 플레이트 전압 발생 회로를 비활성화시킨다. 또는, 상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은 지의 여부에 응답하여 상기 메모리 셀들의 플레이트 노드들에 상기 플레이트 전압보다 낮은 리세트 전압을 공급함과 동시에 상기 플레이트 전압 발생 회로를 비활성화시킨다.

<27> 바람직한 실시예에 있어서, 상기 독출 방지 수단은 레지스터와; 상기 파워-온시 전원 전압이 목표 전압에 도달하였는 지의 여부를 검출하여 상기 레지스터를 초기화시키는 파워-온 검출 회로와; 그리고 상기 레지스터에 저장된 값에 따라, 상기 파워-온 다음에 최초로 입력된 명령이 독출 명령인 지의 여부를 판별하는 제어 회로를 포함하며, 상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 독출 명령일 때 상기 디램 코어의 액세스 동작이 수행되지 않게 한다. 여기서, 상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 기입 명령일 때 상기 디램 코어의 액세스 동작이 수행되게 하며, 다음의 독출 명령에 따라 상기 디램 코어의 액세스 동작이 수행되도록 상기 레지스터의 값을 가변시킨다.

- <28> 본 발명의 다른 특징에 따르면, 반도체 메모리 장치는 백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로와; 복수 개의 메모리 셀들이 형성되며, 상기 백 바이어스 전압에 의해서 바이어스되는 웰과; 그리고 상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 외부로부터 제공되는 리세트 명령에 응답하여 상기 백 바이어스 전압보다 높은 리세트 전압을 상기 웰에 공급하는 독출 방지 수단을 포함한다.
- <29> 바람직한 실시예에 있어서, 상기 리세트 전압은 전원 전압과 외부 전원 전압 중 어느 하나이다. 상기 리세트 전압이 상기 웰에 공급될 때, 상기 백 바이어스 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화된다. 상기 독출 방지 수단은 상기 리세트 명령에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고 상기 백 바이어스 전압을 전달하는 전압 라인과 상기 리세트 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 PMOS 트랜지스터를 포함한다.
- <30> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로와; 복수 개의 메모리 셀들이 형성되며, 상기 백 바이어스 전압에 의해서 바이어스되는 웰과; 그리고 상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은지의 여부에 따라 전원 전압과 외부 전원 전압 중 어느 하나를 상기 웰에 공급하는 독출 방지 수단을 포함한다.
- <31> 바람직한 실시예에 있어서, 상기 전원 전압 또는 상기 외부 전원 전압이 상기 웰에 공급될 때, 상기 백 바이어스 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화된다. 상기 독출 방지 수단은 상기 전원 전압이 소정 전압보다 낮은지의 여부를 검출하는 전압 검출 회로와; 상기 전압 검출 회로의 출력 신호에 응답하여 초기화 신호를 발생하는 제어 회로와; 그

리고 상기 백 바이어스 전압을 전달하는 전압 라인과 상기 전원 전압 또는 상기 외부 전원 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 PMOS 트랜지스터를 포함한다.

<32> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와; 상기 플레이트 노드에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로와; 그리고 상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 외부로부터 제공되는 리셋 명령에 응답하여 상기 플레이트 전압보다 낮은 리셋 전압을 상기 메모리 셀들의 플레이트 노드들로 공급하는 독출 방지 수단을 포함한다.

<33> 바람직한 실시예에 있어서, 상기 리셋 전압은 접지 전압이다. 상기 리셋 전압이 상기 메모리 셀들의 플레이트 노드들에 공급될 때, 상기 플레이트 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화된다. 상기 독출 방지 수단은 상기 리셋 명령에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고 상기 플레이트 전압을 전달하는 전압 라인과 상기 리셋 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 NMOS 트랜지스터를 포함한다.

<34> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와; 상기 플레이트 노드에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로와; 그리고 상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은지의 여부에 따라 접지 전압을 상기 메모리 셀들의 플레이트 노드들로 공급하는 독출 방지 수단을 포함한다.

<35> 바람직한 실시예에 있어서, 상기 접지 전압이 상기 메모리 셀들의 플레이트 노드들로 공급될 때, 상기 플레이트 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화된다. 상기 독출 방지 수단은 상기 전원 전압이 소정 전압보다 낮은지의 여부를 검출하는 전압 검출

회로와; 상기 전압 검출 회로의 출력 신호에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고 상기 플레이트 전압을 전달하는 전압 라인과 상기 접지 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 NMOS 트랜지스터를 포함한다.

<36> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 데이터 정보를 저장하는 디램 코어와; 파워-온시 전원 전압이 목표 전압에 도달하였는 지의 여부를 검출하는 파워-온 검출 회로와; 상기 파워-온 검출 회로의 출력에 따라 기준 데이터를 저장하도록 구성되는 레지스터와; 그리고 상기 레지스터에 저장된 값에 따라, 상기 파워-온 다음에 최초로 입력된 명령이 독출 명령인 지의 여부를 판별하는 제어 회로를 포함하며, 상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 독출 명령일 때 상기 디램 코어의 액세스 동작이 수행되지 않게 한다. 상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 기입 명령일 때 상기 디램 코어의 액세스 동작이 수행되게 하며, 다음의 독출 명령에 따라 상기 디램 코어의 액세스 동작이 수행되도록 상기 레지스터의 값을 가변시킨다.

<37> 본 발명의 또 다른 특징에 따르면, 반도체 메모리 장치는 행들과 열들로 배열된 메모리 셀들을 포함하는 메모리 셀 어레이와; 외부로부터 제공되는 리셋 명령에 응답하여 초기화 신호 및 래치 신호를 발생하는 리셋 제어 회로와; 상기 초기화 신호에 응답하여 행 어드레스들을 순차적으로 발생하는 리프레쉬 제어 회로와; 상기 리프레쉬 제어 회로로부터의 행 어드레스들에 응답하여 상기 행들을 순차적으로 선택하는 행 선택 회로와; 그리고 상기 초기화 신호에 응답하여 동작하는 버스트 기입 수단을 포함하며, 상기 버스트 기입 수단은, 파워-오프 이전에 상기 메모리 셀들에 저장된 데이터 정보가 파워-온시 읽혀지지 않도록, 상기 행들 각각이 선택될 때마다 상기 열들을 소정 단위로 순차적으로 선택하고 선택된 열들의 메모리 셀들에 동일한 데이터를 기입한다.

- <38> 바람직한 실시예에 있어서, 상기 버스트 기입 수단은 상기 초기화 신호에 응답하여 열 어드레스들을 순차적으로 발생하는 어드레스 발생 회로와; 상기 열 어드레스들에 응답하여 상기 열들을 상기 소정 단위로 각각 선택하기 위한 열 선택 신호들을 발생하는 열 선택 회로와; 상기 초기화 신호에 응답하여 상기 입출력 라인들을 동일한 값으로 설정하는 데이터 입력 버퍼와; 상기 열 선택 신호들에 응답하여 상기 열들을 상기 소정 단위로 선택하고 선택된 열들을 상기 입출력 라인들에 각각 연결하는 열 게이트 회로와; 그리고 상기 선택된 열들의 데이터가 대응하는 메모리 셀들에 저장되도록 감지 증폭 동작을 수행하는 감지 증폭 회로를 포함한다.
- <39> 바람직한 실시예에 있어서, 반도체 메모리 장치는 상기 래치 신호에 응답하여 상기 리프레쉬 제어 회로에서 첫 번째로 출력되는 행 어드레스를 래치하는 어드레스 레지스터와; 그리고 상기 리프레쉬 제어 회로로부터 출력되는 행 어드레스가 상기 어드레스 레지스터에 저장된 어드레스와 일치하는지의 여부를 판별하는 비교 회로를 더 포함한다. 상기 리프레쉬 제어 회로로부터 출력되는 행 어드레스가 상기 어드레스 레지스터에 저장된 어드레스와 일치할 때, 상기 리세트 제어 회로는 상기 비교 회로의 출력 신호에 응답하여 상기 리프레쉬 제어 회로 및 상기 버스트 기입 수단을 비활성화시킨다.
- <40> 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 이하 상세히 설명될 것이다.
- <41> 본 발명에 따른 반도체 메모리 장치를 개략적으로 보여주는 블록도가 도 1에 도시되어 있다. 본 발명의 반도체 메모리 장치는 DRAM 장치로, 본 발명의 기술적 사상이 DRAM 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 본 발명에 따른 반도체 메모리 장치 (100)는 독출 방지 유닛 (read protection unit) (200)과 DRAM 코어 (300)를 포함한다. DRAM 코어 (300)는, 비록 도면에는 도시되지 않았지만, 데이터 정보를 저장하는 메모리 셀 어레이, 메모리 셀 어레이에 데이터를 기입하는 데이터 기입 회로, 메모리 셀 어레이로

부터 데이터를 독출하는 데이터 독출 회로, 등을 포함하도록 구성될 것이다. 예를 들면, DRAM 코어 (300)의 예가 U.S. Patent No. 6,564,287에 "SEMICONDUCTOR MEMORY DEVICE HAVING A FIXED CAS LATENCY AND/OR BURST LENGTH"라는 제목으로 게재되어 있으며, 레퍼런스로 포함된다.

<42> 본 발명에 따른 독출 방지 유닛 (200)는 전원이 차단되기 이전에 (즉, 파워-오프 이전에) 저장된 데이터가 전원이 공급된 후에 (즉, 파워-온 이후에) 독출되는 것을 방지한다. 예를 들면, 본 발명에 따른 DRAM 장치 (100)는 파워-오프 이전에 소정 명령 (이후, 리셋 명령이라 칭함)의 입력에 따라 모든 메모리 셀들의 데이터를 데이터 '0' 또는 데이터 '1'로 초기화함으로써 독출 방지 기능을 달성할 수 있다. 또는, 본 발명에 따른 DRAM 장치 (100)는 파워-온시 독출 명령이 최초로 입력될 디램 코어 (300)의 때 독출 동작이 수행되는 것을 방지함으로써 독출 방지 기능을 달성할 수 있다. 이하 본 발명에 따른 독출 방지 기능을 달성할 수 있는 다양한 실시예들이 상세히 설명될 것이다.

<43> 도 2는 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<44> 도 2를 참조하면, 본 발명의 제 1 실시예에 따른 반도체 메모리 장치 (100)는 메모리 셀 어레이 (310)와 백 바이어스 전압 발생 회로 (back-bias voltage generator circuit) (330)를 포함한다. 메모리 셀 어레이 (310)는 웰 (320)에 형성된다. 이 웰 (320)은, 비록 도면에는 도시되지 않았지만, 주변 회로 (예를 들면, 감지 증폭 회로)가 형성되는 웰과 독립하게 형성될 것이다. 백 바이어스 전압 발생 회로 (330)는 메모리 셀 어레이 (310)가 형성된 웰 (320)에 백 바이어스 전압 (VBB)을 공급한다. 메모리 셀 어레이 (310)와 백 바이어스 전압 발생 회로 (330)는 도 1의 DRAM 코어 (300)를 구성한다. 잘 알려진 바와 같이, 백 바이어스 전압 (VBB)은 메모리 장치 내에 포함된 액세스 트랜지스터의 문턱 전압을 안정시키기 위해, 기생 커패시턴

스 (parasitic capacitance)를 방지하기 위해서 그리고 외부 신호의 언더슈트 (undershoot)로 인한 메모리 장치의 오동작을 방지하기 위해서 웰 (320)에 공급된다. 백 바이어스 전압 발생 회로 (330)의 일예가 U.S. Patent No. 5,262,989에 "CIRCUIT FOR SENSING BACK-BIAS LEVEL IN A SEMICONDUCTOR MEMORY DEVICE"라는 제목으로 게재되어 있으며, 레퍼런스로 포함된다.

<45> 계속해서 도 2를 참조하면, 반도체 메모리 장치 (100)는 도 1의 독출 방지 유니트 (200)를 구성하는 리세트 제어 회로 (reset control circuit) (210)와 스위치 (switch) (220)를 더 포함한다. 리세트 제어 회로 (210)는 외부로부터 제공되는 리세트 명령 (RST_CMD)에 응답하여 초기화 신호 (nRESET)를 발생한다. 스위치 (220)는 초기화 신호 (nRESET)를 받아들이도록 연결된 게이트, 전원 전압 (VCC) 또는 외부 전원 전압 (EVC)에 연결된 드레인 그리고 백 바이어스 전압 (VBB)을 공급하는 전압 라인 (301)에 연결된 소오스를 갖는 PMOS 트랜지스터로 구성된다. 리세트 제어 회로 (210)는 리세트 명령이 입력될 때 초기화 신호 (nRESET)를 로우로 활성화시킨다. 초기화 신호 (nRESET)가 활성화될 때, 백 바이어스 전압 발생 회로 (330)는 비활성화되고 스위치 (220)의 PMOS 트랜지스터는 턴 온된다. 이는 스위치 (220)의 PMOS 트랜지스터를 통해 전압 라인 (301)으로 VCC 또는 EVC 전압이 공급되게 한다. 즉, 웰 (320)에는 백 바이어스 전압 (VBB) 대신에 VCC 또는 EVC 전압이 공급되며, 메모리 셀들에 저장된 데이터 값들은 동일한 값으로 설정된다. 이는 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않음을 의미한다.

<46> 도 3 및 도 4를 참조하여 상술한 동작을 좀 더 구체적으로 설명하면 다음과 같다. 리세트 명령 (RST_CMD)이 입력되기 이전에, 웰 (320)에는 백 바이어스 전압 (VBB)이 인가된다. 이는 메모리 셀이 정상적으로 데이터를 보유하게 한다. 만약 리세트 명령 (RST_CMD)이 파워-오프 이전에 외부로부터 입력되면, 리세트 제어 회로 (210)는 초기화 신호 (nRESET)를 활성화시키

며, 이는 웰 (320)에 VBB 전압 대신에 VCC 또는 EVC 전압이 공급되게 한다. 웰 (320)에 VCC 또는 EVC 전압이 공급됨에 따라, 도 4에서 점선으로 도시된 바와 같이, 웰 (320)과 N형 불순물 영역 (321) 사이의 PN 접합이 순방향으로 바이어스된다. 이는, 도 3에 도시된 바와 같이, 메모리 셀 (MC)의 커패시터에 전하들이 충전되게 한다. 웰 (320)에 형성된 모든 메모리 셀들은 이전에 저장된 데이터에 관계없이 데이터 '1'를 저장하게 된다. 결론적으로, 모든 메모리 셀들이 데이터 '1'을 저장하기 때문에, 파워-오프 이후에 다시 전원이 공급되더라도, 이전에 저장된 데이터는 독출되지 않는다.

<47> 도 5는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다. 도 5에 있어서, 도 2에 도시된 구성 요소들과 동일한 기능을 수행하는 구성 요소들은 동일한 참조 번호들로 표기되며, 그것에 대한 설명은 그러므로 생략된다. 도 5를 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치 (100)는 전압 검출 회로 (230)를 더 포함한다. 전압 검출 회로 (230)는 전원 전압 (VCC) 또는 외부 전원 전압 (EVC)이 소정 전압보다 낮은지의 여부를 검출하며, 검출 결과로서 검출 신호 (DET)를 발생한다. 전원 전압 (VCC) 또는 외부 전원 전압 (EVC)이 소정 전압보다 낮아질 때, 전압 검출 회로 (230)는 검출 신호 (DET)를 활성화시킨다. 리세트 제어 회로 (210)는 검출 신호 (DET)의 활성화에 응답하여 초기화 신호 (nRESET)를 활성화시킨다. 초기화 신호 (nRESET)가 활성화될 때, 백 바이어스 전압 발생 회로 (330)는 비활성화되고 스위치 (220)의 PMOS 트랜지스터는 턴 온된다. 이는 스위치 (220)의 PMOS 트랜지스터를 통해 전압 라인 (301)으로 VCC 또는 EVC 전압이 공급되게 한다. 즉, 웰 (320)에는 백 바이어스 전압 (VBB) 대신에 VCC 또는 EVC 전압이 공급되며, 메모리 셀들에 저장된 데이터 값들은 동일한 값으로 설정된다. 이는 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않음을 의미한다.

- <48> 도 6은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다. 도 6에 있어서, 도 2에 도시된 것과 동일한 기능을 갖는 구성 요소들은 동일한 참조 번호들로 표기된다.
- <49> 도 6을 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치 (100)는 메모리 셀 어레이 (310)와 플레이트 전압 발생 회로 (plate voltage generator circuit) (340)를 포함한다. 잘 알려진 바와 같이, 메모리 셀 어레이 (310)는 워드 라인들과 비트 라인들의 매트릭스 형태로 배열된 복수 개의 메모리 셀들을 포함한다. 각 메모리 셀은 액세스 트랜지스터와 커패시터로 구성된다. 각 메모리 셀에 있어서, 커패시터의 일 전극은 액세스 트랜지스터를 통해 비트 라인에 연결되고 다른 전극은 플레이트 전압 (V_p)을 공급받도록 연결된다. 플레이트 전압 (V_p)이 공급되는 커패시터 전극은 이하 "플레이트 노드"라 칭한다. 플레이트 전압 발생 회로 (340)는 메모리 셀 어레이 (310)의 메모리 셀들의 플레이트 노드들에 플레이트 전압 (V_p)을 공급한다. 메모리 셀 어레이 (310)와 플레이트 전압 발생 회로 (340)는 도 1의 DRAM 코어 (300)를 구성한다.
- <50> 계속해서 본 발명의 반도체 메모리 장치 (100)는 도 1의 독출 방지 유니트 (200)를 구성하는 리세트 제어 회로 (210)와 스위치 (220)를 더 포함한다. 리세트 제어 회로 (210)는 리세트 명령 (RST_CMD)에 응답하여 초기화 신호 (RESET)를 발생한다. 스위치 (220)는 초기화 신호 (RESET)를 받아들이도록 연결된 게이트, 접지 전압 (VSS)에 연결된 소오스 그리고 플레이트 전압 (V_p)을 공급하는 전압 라인 (301)에 연결된 드레인을 갖는 NMOS 트랜지스터로 구성된다. 리세트 제어 회로 (210)는 리세트 명령 (RST_CMD)이 입력될 때 초기화 신호 (RESET)를 하이로 활성화시킨다. 초기화 신호 (RESET)가 활성화될 때, 플레이트 전압 발생 회로 (340)는 비활성화되고 스위치 (220)의 NMOS 트랜지스터는 턴 온된다. 이는 스위치 (220)의 NMOS 트랜지스터를

통해 전압 라인 (301)이 접지 전압에 연결되게 한다. 즉, 메모리 셀들의 플레이트 노드들에는 플레이트 전압 (V_p) 대신에 접지 전압 (V_{SS})이 공급되며, 메모리 셀들에 저장된 데이터 값들은 동일한 값으로 설정된다. 이는 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않음을 의미한다.

<51> 도 7을 참조하여 상술한 동작을 좀 더 구체적으로 설명하면 다음과 같다. 리셋 명령 (RST_CMD)이 입력되기 이전에, 메모리 셀 (MC)의 플레이트 전극 (즉, 전압 라인) (301)에는 플레이트 전압 (V_p)이 인가된다. 이는 메모리 셀 (MC)이 정상적으로 데이터를 보유하게 한다. 만약 리셋 명령 (RST_CMD)이 파워-오프 이전에 외부로부터 입력되면, 리셋 제어 회로 (210)는 초기화 신호 ($RESET$)를 활성화시키며, 이는 메모리 셀 어레이 (310)의 메모리 셀 (MC)의 플레이트 노드 (301)에 V_p 전압 대신에 접지 전압 (V_{SS})이 공급되게 한다. 액세스 트랜지스터 (Tr)에 연결된 커패시터 전극 (CN)이 플로팅 상태에 있기 때문에, 메모리 셀 어레이 (310)의 메모리 셀의 플레이트 노드 (301)에 접지 전압 (V_{SS})이 공급될 때, 커패시터 (C)에 충전된 전하들이 커플링 효과에 의해서 전압 라인 (301)으로 방전된다. 즉, 모든 메모리 셀들은 이전에 저장된 데이터에 관계없이 데이터 '0'를 저장하게 된다. 결론적으로, 모든 메모리 셀들이 데이터 '0'을 저장하기 때문에, 파워-오프 이후에 다시 전원이 공급되더라도, 이전에 저장된 데이터는 독출되지 않는다.

<52> 도 8은 본 발명의 제 4 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다. 도 8에 있어서, 도 7에 도시된 구성 요소들과 동일한 기능을 수행하는 구성 요소들은 동일한 참조 번호들로 표기되며, 그것에 대한 설명은 그러므로 생략된다. 도 8을 참조하면, 본 발명의 제 4 실시예에 따른 반도체 메모리 장치 (100)는 전압 검출 회로 (230)를 더 포함한다. 전압 검출 회로 (230)는 전원 전압 (V_{CC}) 또는 외부 전원 전압 (EVC)이 소정 전압보다 낮은지의 여부를

검출하며, 검출 결과로서 검출 신호 (DET)를 발생한다. 전원 전압 (VCC) 또는 외부 전원 전압 (EVC)이 소정 전압보다 낮아질 때, 전압 검출 회로 (230)는 검출 신호 (DET)를 활성화시킨다. 리세트 제어 회로 (210)는 검출 신호 (DET)의 활성화에 응답하여 초기화 신호 (RESET)를 활성화시킨다. 초기화 신호 (RESET)가 활성화될 때, 플레이트 전압 발생 회로 (340)는 비활성화되고 스위치 (220)의 NMOS 트랜지스터는 턴 온된다. 이는 스위치 (220)의 NMOS 트랜지스터를 통해 전압 라인 (301)으로 접지 전압 (VSS)이 공급되게 한다. 즉, 메모리 셀들의 플레이트 노드들에 플레이트 전압 (V_p) 대신에 접지 전압 (VSS)이 공급되며, 메모리 셀들에 저장된 데이터 값들은 동일한 값으로 설정된다. 이는 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않음을 의미한다.

<53> 도 9는 본 발명의 제 5 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.

<54> 도 9를 참조하면, 본 발명에 따른 반도체 메모리 장치 (100)는 DRAM 코어 (300)의 액세스 동작을 제어하는 독출 방지 유닛 (200)를 포함하며, 독출 방지 유닛 (200)는 독출/기입 제어 회로 (read/write control circuit) (240), 레지스터 (register) (250) 그리고 파워-온 검출 회로 (power-on detector circuit) (260)로 구성된다. 파워-온 검출 회로 (260)는 전원 전압이 인가될 때 전원 전압이 소정 전압에 도달하였는 지의 여부를 검출하고, 검출 결과로서 파워-온 검출 신호 (POR)를 발생한다. 레지스터 (250)는 전원 전압이 인가된 후 기입 명령이 인가되었는 지의 여부를 나타내는 정보를 저장하는 것으로, 레지스터 (250)의 정보는 파워-온 검출 신호 (POR)에 의해서 설정된다. 파워-온 검출 신호 (POR)에 의해서 설정된 레지스터 값은 전원 전압이 인가된 후 기입 명령이 최초로 인가되지 않았음을 나타낸다. 독출/기입 제어 회로 (240)는 DRAM 코어 (300)의 기입/독출 동작을 제어하기 위한 것으로, 레지스터 (250)에 저장된 정보에 따라 DRAM 코어 (300)의 독출 동작이 수행되지 않게 한다.

- <55> 예시적인 파워-온 검출 회로들이 U.S. Patent No. 6,236,249에 "POWER-ON RESET CIRCUIT FOR A HIGH DENSITY INTEGRATED CIRCUIT", U.S. Patent No. 6,040,722에 "POWER-ON RESET CIRCUIT WITH ADJUSTABLE INTERVAL", U.S. Patent No. 5,578,951에 "CMOS CIRCUIT FOR IMPROVED POWER-ON RESET TIMING" 그리고 U.S. Patent No. 5,039,875에 "CMOS POWER-ON RESET CIRCUIT"라는 제목으로 각각 게재되어 있으며, 레퍼런스로 포함된다.
- <56> 회로 동작에 있어서, 파워-온 이후 최초로 입력된 명령이 독출 명령일 때, 예를 들면, 독출/기입 제어 회로 (240)는 레지스터 (250)에 저장된 데이터 '0'에 응답하여 DRAM 코어 (300)의 독출 동작이 수행되지 않게 한다. 만약 파워-온 이후 최초로 입력된 명령이 기입 명령일 때, 독출/기입 제어 회로 (240)는 레지스터 (250)를 데이터 '1'로 설정함과 동시에 DRAM 코어 (300)의 기입 동작이 수행되게 한다. 이후, 독출 명령이 입력되는 경우, 레지스터 (250)가 데이터 '1'로 설정되어 있기 때문에, 독출/기입 제어 회로 (240)는 레지스터 (250)에 저장된 데이터 '1'에 응답하여 DRAM 코어 (300)의 독출 동작이 정상적으로 수행되게 한다. 결과적으로, 파워-오프 이전에 저장된 데이터를 파워-온 이후에 바로 액세스하는 것이 불가능하다. 즉, 기입 동작이 수행된 후 독출 동작이 수행되기 때문에, 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않는다.
- <57> 도 10은 본 발명의 제 6 실시예에 따른 반도체 메모리 장치를 보여주는 블록도이다.
- <58> 도 10을 참조하면, 본 발명에 따른 반도체 메모리 장치 (100)는 데이터 정보를 저장하는 메모리 셀 어레이 (351)를 포함한다. 메모리 셀 어레이 (351)는 워드 라인들 (WL0-WLm)과 비트 라인들 (BL0-BLn, BLOB-BLnB)의 매트릭스 형태로 배열된 메모리 셀들 (MC) (도면에서, "○" 표기됨)을 포함한다. 행 선택 회로 (352)는 독출/기입 동작 모드에서 외부로부터의 행 어드레스 (XADDR)에 응답하여 워드 라인들 (WL0-WLm) 중 하나를 선택한다. 또는, 셀프-리프레시 동작 모

드에서, 행 선택 회로 (352)는 리프레쉬 제어 회로 (refresh control circuit) (353)에서 순차적으로 출력되는 어드레스들에 응답하여 워드 라인들 (WL0-WLm)을 순차적으로 선택한다.

<59> 열 선택 회로 (357)는 정상적인 독출/기입 동작 모드에서 외부로부터의 열 어드레스 (XADDc)에 응답하여 열 선택 신호들 (CSL0-CSLi)을 발생한다. 또한, 열 선택 회로 (357)는 카운터 (358)를 포함하며, 카운터 (358)는 버스트 기입 동작 모드에서 프로그램 레지스터 (359)에 프로그램된 버스트 길이 값에 따라 열 어드레스를 순차적으로 발생한다. 예를 들면, 버스트 길이가 4이면, 카운터 (358)는 연속적으로 열 어드레스를 4번 생성한다. 또는, 버스트 길이가 모든 열 선택 신호들을 활성화시키도록 설정될 때 (이후, 이러한 버스트 길이를 "풀 버스트 길이"라 칭함), 카운터 (358)는 모든 열 선택 신호들 (CSL0-CSLi)이 순차적으로 하나씩 또는 동시에 여러 개씩 활성화되도록 열 어드레스를 생성할 것이다. 버스트 길이가 풀 버스트 길이로 설정될 때, 카운터 (358)는 워드 라인이 활성화될 때마다 초기화된다. 결과적으로, 카운터 (358)는 모든 열 선택 신호들 (CSL0-CSLi)이 순차적으로 하나씩 또는 동시에 여러 개씩 활성화되도록 열 어드레스들을 순차적으로 생성할 것이다. 여기서, 프로그램 레지스터 (359)는 이 분야에 잘 알려진 모드 레지스터 세트 회로 (mode register set: MRS)로 구성될 수 있다.

<60> 감지 증폭 회로 (354)는 비트 라인 쌍들 (BL0, BL0B)-(BLn, BLnB)에 각각 연결된 감지 증폭기들 (도면에는, "SA"로 표기됨)을 포함한다. 감지 증폭기들 (SA)은 대응하는 쌍들의 비트 라인들의 전압들을 감지 증폭한다. 열 게이트 회로 (355)는 열 선택 회로 (357)로부터 출력되는 열 선택 신호들 (CSL0-CSLi)에 응답하여 비트 라인 쌍들 중 일부를 선택한다. 데이터 입력 회로 (356)는 초기화 신호 (nRESET)에 응답하여 동작한다. 예를 들면, 초기화 신호 (nRESET)가 비활성화 상태로 유지되는 동안, 데이터 입력 회로 (356)는 기입 동작 모드에서 외부 데이터를 입력받는다.

그렇게 입력된 데이터는 열 게이트 회로 (355)를 통해 선택된 비트 라인 쌍들로 전달된다. 초기화 신호 (nRESET)가 활성화 상태로 유지되는 동안, 데이터 입력 회로 (356)는 입출력 라인들 (IOj)을 동일한 값들 (예를 들면, 로직 '1')로 설정한다.

<61> 계속해서 도 10을 참조하면, 본 발명에 따른 반도체 메모리 장치 (100)는 리세트 제어 회로 (270), 어드레스 레지스터 (280), 그리고 비교 회로 (290)를 더 포함한다. 리세트 제어 회로 (270), 어드레스 레지스터 (280), 그리고 비교 회로 (290)는 도 1에 도시된 독출 방지 유닛 (200)를 구성한다. 리세트 제어 회로 (270)는 리세트 명령 (RST_CMD)이 입력되었는 지의 여부를 검출한다. 만약 리세트 명령 (RST_CMD)이 입력되면, 리세트 제어 회로 (270)는 초기화 신호 (nRESET)를 활성화시킨다. 프로그램 레지스터 (359)는 초기화 신호 (nRESET)의 활성화에 따라 풀 버스트 길이의 값을 갖도록 설정된다. 리프레쉬 제어 회로 (353)는 초기화 신호 (nRESET)의 활성화에 따라 셀프 리프레쉬 모드와 마찬가지로 워드 라인들 (WLO-WLm)이 순차적으로 활성화되도록 행 어드레스를 발생한다. 게다가, 리프레쉬 제어 회로 (353)는 셀프 리프레쉬 명령 (SR_CMD)이 입력될 때 워드 라인들 (WLO-WLm)이 순차적으로 활성화되도록 행 어드레스를 발생한다.

<62> 리세트 명령 (RST_CMD)이 입력될 때, 리세트 제어 회로 (270)는 또한 래치 신호 (LAT)를 발생한다. 래치 신호 (LAT)가 활성화될 때, 리프레쉬 제어 회로 (353)에서 생성된 첫 번째 행 어드레스는 어드레스 레지스터 (280)에 래치된다. 비교 회로 (290)는 리프레쉬 제어 회로 (353)로부터 출력되는 행 어드레스가 어드레스 레지스터 (280)에 저장된 행 어드레스와 일치하는 지의 여부를 판별한다. 비교 회로 (290)는 판별 결과로서 비교 신호 (COMP)를 활성화시키며, 리세트 제어 회로 (270)는 비교 신호 (COMP)의 활성화에 응답하여 리프레쉬 제어 회로 (353)와 데이터 입력 회로 (356)를 비활성화시킨다.

- <63> 도 11은 본 발명의 바람직한 실시예에 따른 도 10에 도시된 데이터 입력 회로를 보여주는 회로도이다.
- <64> 도 11을 참조하면, 본 발명의 데이터 입력 회로 (356)는 인버터들 (INV10, INV12, INV14, INV16, INV18), NOR 게이트들 (G10, G14), NAND 게이트 (G12), PMOS 트랜지스터들 (M10, M14), 그리고 NMOS 트랜지스터들 (M12, M16)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 제어 신호 (WRITE_CTRL)는 기입 동작이 수행될 때 하이로 활성화되며, 데이터 라인 (DIO0)은 기입/독출 동작시 하이로 프리차지된다. 제어 신호 (WRITE_CTRL)가 로우로 비활성화되고 제어 신호 (nRESET)가 로우로 활성화될 때, NAND 및 NOR 게이트들 (G12, G14)은 각각 하이-레벨 신호들을 출력한다. 이는 트랜지스터들 (M12, M14)이 턴 오프되고 트랜지스터들 (M10, M16)이 턴 온되게 한다. 따라서, 제어 신호 (nRESET)가 로우로 활성화될 때, 입출력 라인 (IO0)은 하이 레벨로 설정되고 입출력 라인 (IO0B)은 로우 레벨로 설정된다.
- <65> 본 발명의 제 6 실시예에 따른 반도체 메모리 장치의 독출 방지 동작이 이하 도 10 및 도 11을 참조하여 이하 상세히 설명될 것이다.
- <66> 파워-오프 이전에 메모리 셀 어레이 (351)에 저장된 데이터가 파워-온 이후에 독출되는 것을 방지하기 위해서, 먼저, 전원 전원이 차단되기 이전에, 리세트 명령 (RST_CMD)가 반도체 메모리 장치 (100)에 제공된다. 리세트 제어 회로 (270)는 리세트 명령 (RST_CMD)의 입력에 따라 초기화 신호 (nRESET)를 활성화시킨다. 초기화 신호 (nRESET)의 활성화에 따라 리프레쉬 제어 회로 (353)는 행 어드레스를 발생한다. 이와 동시에, 프로그램 레지스터 (359)는 풀 버스트 길이의 값을 갖도록 설정되고 데이터 입력 회로 (356)는 입출력 라인들 (IOj)을 동일한 값으로 설정한다. 리프레쉬 제어 회로 (353)가 초기화 신호 (nRESET)의 활성화에 응답하여 행 어드레스를 발생함에 따라, 행 선택 회로 (352)는 행 어드레스에 워드 라인 (예를 들면, WL0)을 선

택한다. 리프레쉬 제어 회로 (353)에 의해서 생성된 초기 행 어드레스는 리세트 제어 회로 (270)의 제어 하에 어드레스 레지스터 (280)에 저장된다.

<67> 열 선택 회로 (357)는 내부 카운터 (358)에 의해서 순차적으로 생성되는 열 어드레스들에 응답하여 열 선택 신호들 (CSL0-CSLi)을 순차적으로 활성화시킨다. 입출력 라인 구조가 X8이라고 가정하면, 하나의 열 선택 신호가 활성화될 때 8개의 비트 라인 쌍들이 선택될 것이다. 열 선택 신호가 활성화될 때, 8개의 열 게이트 트랜지스터 쌍들이 턴 온되며, 입출력 라인들 (IOj) 상의 데이터 값들은 열 게이트 회로 (355)의 턴 온된 트랜지스터들을 통해 대응하는 비트 라인 쌍들로 전달된다. 그 다음에, 감지 증폭기들 (SA)가 활성화됨에 따라, 선택된 열 선택 신호의 메모리 셀들에 데이터 '1'이 쓰여질 것이다. 이러한 방식으로 모든 열 선택 신호들이 순차적으로 활성화됨에 따라, 선택된 워드 라인의 메모리 셀들에는 모두 데이터 '1'이 저장된다.

<68> 선택된 워드 라인 (WL0)에 연결된 메모리 셀들에 모두 데이터 '1'이 저장되면, 리프레쉬 제어 회로 (353)는 다음의 워드 라인 (WL1)이 선택되도록 행 어드레스를 발생한다. 행 선택 회로 (352)는 행 어드레스에 워드 라인 (예를 들면, WL0)을 선택한다. 이와 동시에, 열 선택 회로 (357)는 내부 카운터 (358)에 의해서 순차적으로 생성되는 열 어드레스들에 응답하여 열 선택 신호들 (CSL0-CSLi)을 순차적으로 활성화시킴에 따라, 앞서 설명된 것과 동일한 방식으로 선택된 워드 라인 (WL1)의 메모리 셀들에는 데이터 입력 회로 (256), 입출력 게이트 회로 (255) 그리고 감지 증폭 회로 (354)를 통해 데이터 '1'이 저장된다.

<69> 워드 라인들이 순차적으로 선택되는 동안, 비교 회로 (290)는 리프레쉬 제어 회로 (353)에서 생성된 행 어드레스가 어드레스 레지스터 (280)에 저장된 행 어드레스와 일치하는 지를 판별한다. 리프레쉬 제어 회로 (353)에서 생성된 행 어드레스가 어드레스 레지스터 (280)에 저

장된 행 어드레스와 일치할 때, 즉, 모든 워드 라인들이 선택됨에 따라 메모리 셀 어레이 (351)의 모든 메모리 셀들에 데이터 '1'이 저장될 때, 리세트 제어 회로 (270)는 비교 회로 (290)의 출력 신호 (COMP)에 응답하여 초기화 신호 (nRESET)를 비활성화시킨다. 이에 따라, 메모리 셀들에 동일한 데이터를 기입하는 동작이 종료된다. 메모리 셀들에 동일한 데이터를 기입함으로써, 파워-오프 이전에 저장된 데이터를 파워-온 이후에 독출하는 것이 불가능하다. 즉, 이는 전원이 차단된 후 다시 전원이 공급될 때 이전에 저장된 데이터가 독출되지 않음을 의미한다.

<70> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<71> 상술한 바와 같이, 파워-오프 이전에 저장된 데이터가 파워-온 후에 읽혀지는 것을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

데이터 정보를 저장하기 위한 메모리 셀들을 포함하는 디램 코어와; 그리고

파워-오프 이전에 상기 메모리 셀들에 저장된 데이터 정보가 파워-온시 읽혀지는 것을 방지하도록 구성된 독출 방지 수단을 포함하는 다이나믹 랜덤 액세스 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 디램 코어는

상기 메모리 셀들이 형성되는 웰 영역과; 그리고

상기 웰 영역에 공급될 백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로를 포함하는 다이나믹 랜덤 액세스 메모리 장치..

【청구항 3】

제 2 항에 있어서,

상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 외부로부터 제공되는 리셋 명령에 응답하여 상기 웰 영역에 전원 전압과 외부 전원 전압 중 어느 하나를 공급함과 동시에 상기 백 바이어스 전압 발생 회로를 비활성화시키는 다이나믹 랜덤 액세스 메모리 장치.

【청구항 4】

제 2 항에 있어서,

상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은 지의 여부에 응답하여 상기 웰 영역에 상기 전원 전압과 외부 전원 전압 중 어느 하나를 공급함과 동시에 상기 백 바이어스 전압 발생 회로를 비활성화시키는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 5】

제 1 항에 있어서,

상기 디램 코어는

각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와; 그리고

상기 메모리 셀들의 플레이트 노드들에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로를 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게 설정되도록, 외부로부터 제공되는 리세트 명령에 응답하여 상기 메모리 셀들의 플레이트 노드들에 상기 플레이트 전압보다 낮은 리세트 전압을 공급함과 동시에 상기 플레이트 전압 발생 회로를 비활성화시키는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 7】

제 5 항에 있어서,

상기 독출 방지 수단은, 상기 메모리 셀들에 저장된 데이터 값들은 동일하게

설정되도록, 전원 전압이 소정 전압보다 낮은 지의 여부에 응답하여 상기 메모리 셀들의 플레이트 노드들에 상기 플레이트 전압보다 낮은 리세트 전압을 공급함과 동시에 상기 플레이트 전압 발생 회로를 비활성화시키는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 8】

제 1 항에 있어서,

상기 독출 방지 수단은

레지스터와;

상기 파워-온시 전원 전압이 목표 전압에 도달하였는 지의 여부를 검출하여 상기 레지스터를 초기화시키는 파워-온 검출 회로와; 그리고

상기 레지스터에 저장된 값에 따라, 상기 파워-온 다음에 최초로 입력된 명령이 독출 명령인 지의 여부를 판별하는 제어 회로를 포함하며,

상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 독출 명령일 때 상기 디램 코어의 액세스 동작이 수행되지 않게 하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 기입 명령일 때 상기 디램 코어의 액세스 동작이 수행되게 하며, 다음의 독출 명령에 따라 상기 디램 코어의 액세스 동작이 수행되도록 상기 레지스터의 값을 가변시키는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 10】

백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로와;

복수 개의 메모리 셀들이 형성되며, 상기 백 바이어스 전압에 의해서 바이어스되는 웰과; 그리고

상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 외부로부터 제공되는 리셋 명령에 응답하여 상기 백 바이어스 전압보다 높은 리셋 전압을 상기 웰에 공급하는 독출 방지 수단을 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 리셋 전압은 전원 전압과 외부 전원 전압 중 어느 하나인 다이내믹 랜덤 액세스 메모리 장치.

【청구항 12】

제 10 항에 있어서,

상기 리셋 전압이 상기 웰에 공급될 때, 상기 백 바이어스 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화되는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 13】

제 10 항에 있어서,

상기 독출 방지 수단은

상기 리셋 명령에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고

상기 백 바이어스 전압을 전달하는 전압 라인과 상기 리셋 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 PMOS 트랜지스터를 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 14】

백 바이어스 전압을 발생하는 백 바이어스 전압 발생 회로와;

복수 개의 메모리 셀들이 형성되며, 상기 백 바이어스 전압에 의해서 바이어스되는 웰과; 그리고

상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은지의 여부에 따라 전원 전압과 외부 전원 전압 중 어느 하나를 상기 웰에 공급하는 독출 방지 수단을 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 15】

제 14 항에 있어서,

상기 전원 전압 또는 상기 외부 전원 전압이 상기 웰에 공급될 때, 상기 백 바이어스 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화되는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 16】

제 14 항에 있어서,

상기 독출 방지 수단은

상기 전원 전압이 소정 전압보다 낮은지의 여부를 검출하는 전압 검출 회로와;

상기 전압 검출 회로의 출력 신호에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고

상기 백 바이어스 전압을 전달하는 전압 라인과 상기 전원 전압 또는 상기 외부 전원 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 PMOS 트랜지스터를 포함하는 다이 나믹 랜덤 액세스 메모리 장치.

【청구항 17】

각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와;

상기 플레이트 노드에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로와;
그리고

상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 외부로부터 제공되는 리세트 명령에 응답하여 상기 플레이트 전압보다 낮은 리세트 전압을 상기 메모리 셀들의 플레이트 노드들로 공급하는 독출 방지 수단을 포함하는 다이 나믹 랜덤 액세스 메모리 장치.

【청구항 18】

제 17 항에 있어서,

상기 리세트 전압은 접지 전압인 다이 나믹 랜덤 액세스 메모리 장치.

【청구항 19】

제 17 항에 있어서,

상기 리세트 전압이 상기 메모리 셀들의 플레이트 노드들에 공급될 때, 상기 플레이트 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화되는 다이 나믹 랜덤 액세스 메모리 장치.

【청구항 20】

제 17 항에 있어서,

상기 독출 방지 수단은

상기 리세트 명령에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고

상기 플레이트 전압을 전달하는 전압 라인과 상기 리세트 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 NMOS 트랜지스터를 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 21】

각각이 플레이트 노드를 갖는 메모리 셀들을 포함하는 메모리 셀 어레이와;

상기 플레이트 노드에 공급될 플레이트 전압을 발생하는 플레이트 전압 발생 회로와;

그리고

상기 메모리 셀들에 저장된 데이터 값들이 동일하게 설정되도록, 전원 전압이 소정 전압보다 낮은 지의 여부에 따라 접지 전압을 상기 메모리 셀들의 플레이트 노드들로 공급하는 독출 방지 수단을 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 22】

제 21 항에 있어서,

상기 접지 전압이 상기 메모리 셀들의 플레이트 노드들로 공급될 때, 상기 플레이트 전압 발생 회로는 상기 독출 방지 수단에 의해서 비활성화되는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 23】

제 21 항에 있어서,

상기 독출 방지 수단은

상기 전원 전압이 소정 전압보다 낮은 지의 여부를 검출하는 전압 검출 회로와;

상기 전압 검출 회로의 출력 신호에 응답하여 초기화 신호를 발생하는 제어 회로와; 그리고

상기 플레이트 전압을 전달하는 전압 라인과 상기 접지 전압 사이에 연결되며 상기 초기화 신호에 응답하여 동작하는 NMOS 트랜지스터를 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 24】

데이터 정보를 저장하는 디램 코어와;

파워-온시 전원 전압이 목표 전압에 도달하였는 지의 여부를 검출하는 파워-온 검출 회로와;

상기 파워-온 검출 회로의 출력에 따라 기준 데이터를 저장하도록 구성되는 레지스터와; 그리고

상기 레지스터에 저장된 값에 따라, 상기 파워-온 다음에 최초로 입력된 명령이 독출 명령인 지의 여부를 판별하는 제어 회로를 포함하며,

상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 독출 명령일 때 상기 디램 코어의 액세스 동작이 수행되지 않게 하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 25】

제 24 항에 있어서,

상기 제어 회로는 상기 파워-온 다음에 최초로 입력되는 명령이 기입 명령일 때 상기 디램 코어의 액세스 동작이 수행되게 하며, 다음의 독출 명령에 따라 상기 디램 코어의 액세스 동작이 수행되도록 상기 레지스터의 값을 가변시키는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 26】

행들과 열들로 배열된 메모리 셀들을 포함하는 메모리 셀 어레이와;

외부로부터 제공되는 리셋 명령에 응답하여 초기화 신호 및 래치 신호를 발생하는 리셋 제어 회로와;

상기 초기화 신호에 응답하여 행 어드레스들을 순차적으로 발생하는 리프레쉬 제어 회로와;

상기 리프레쉬 제어 회로로부터의 행 어드레스들에 응답하여 상기 행들을 순차적으로 선택하는 행 선택 회로와; 그리고

상기 초기화 신호에 응답하여 동작하는 버스트 기입 수단을 포함하며, 상기 버스트 기입 수단은, 파워-오프 이전에 상기 메모리 셀들에 저장된 데이터 정보가 파워-온시 읽혀지지 않도록, 상기 행들 각각이 선택될 때마다 상기 열들을 소정 단위로 순차적으로 선택하고 선택된 열들의 메모리 셀들에 동일한 데이터를 기입하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 27】

제 26 항에 있어서,

상기 버스트 기입 수단은

상기 초기화 신호에 응답하여 열 어드레스들을 순차적으로 발생하는 어드레스 발생 회로와;

상기 열 어드레스들에 응답하여 상기 열들을 상기 소정 단위로 각각 선택하기 위한 열 선택 신호들을 발생하는 열 선택 회로와;

상기 초기화 신호에 응답하여 상기 입출력 라인들을 동일한 값으로 설정하는 데이터 입력 버퍼와;

상기 열 선택 신호들에 응답하여 상기 열들을 상기 소정 단위로 선택하고 선택된 열들을 상기 입출력 라인들에 각각 연결하는 열 게이트 회로와; 그리고

상기 선택된 열들의 데이터가 대응하는 메모리 셀들에 저장되도록 감지 증폭 동작을 수행하는 감지 증폭 회로를 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 28】

제 27 항에 있어서,

상기 래치 신호에 응답하여 상기 리프레쉬 제어 회로에서 첫 번째로 출력되는 행 어드레스를 래치하는 어드레스 레지스터와; 그리고

상기 리프레쉬 제어 회로로부터 출력되는 행 어드레스가 상기 어드레스 레지스터에 저장된 어드레스와 일치하는지의 여부를 판별하는 비교 회로를 더 포함하는 다이내믹 랜덤 액세스 메모리 장치.

【청구항 29】

제 28 항에 있어서,

상기 리프레쉬 제어 회로로부터 출력되는 행 어드레스가 상기 어드레스 레지스터에 저장된 어드레스와 일치할 때, 상기 리세트 제어 회로는 상기 비교 회로의 출력 신호에 응답하여



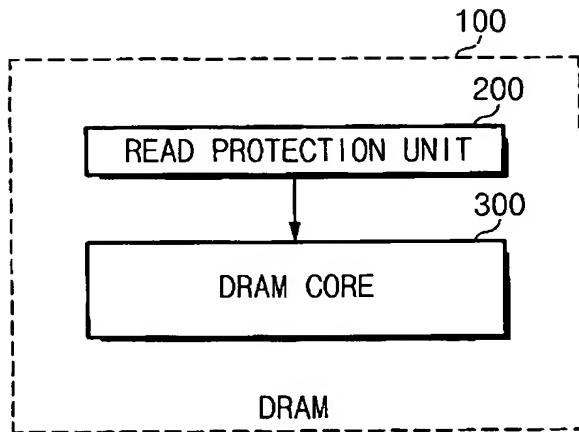
1020030044676

출력 일자: 2003/11/18

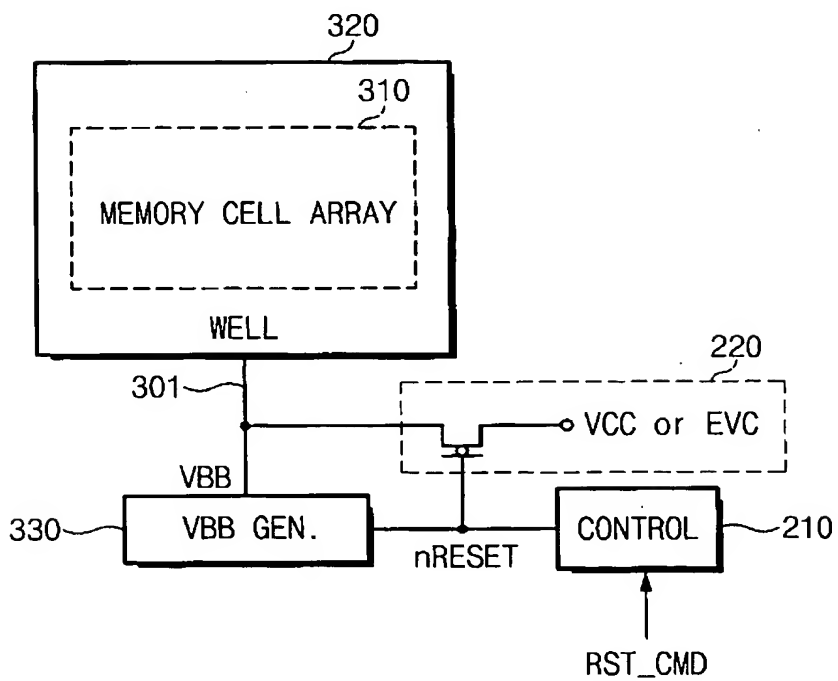
상기 리프레쉬 제어 회로 및 상기 버스트 기입 수단을 비활성화시키는 다이내믹 랜덤 액세스 메모리 장치.

【도면】

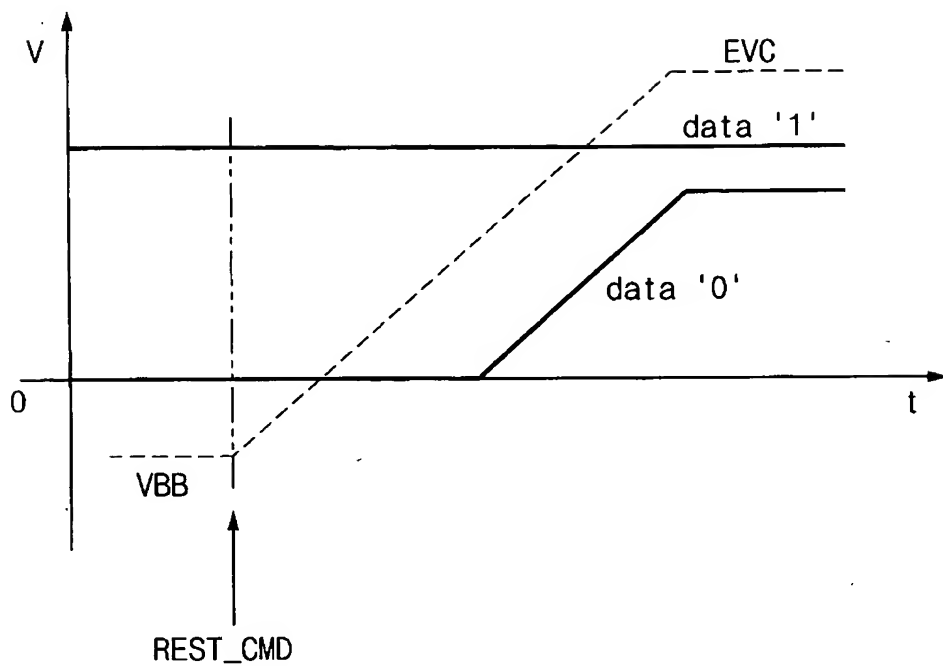
【도 1】



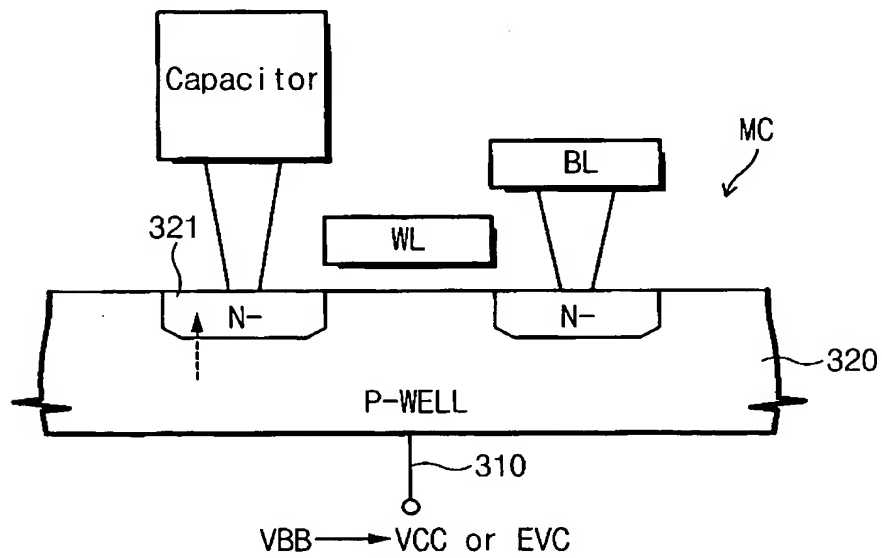
【도 2】

100

【도 3】



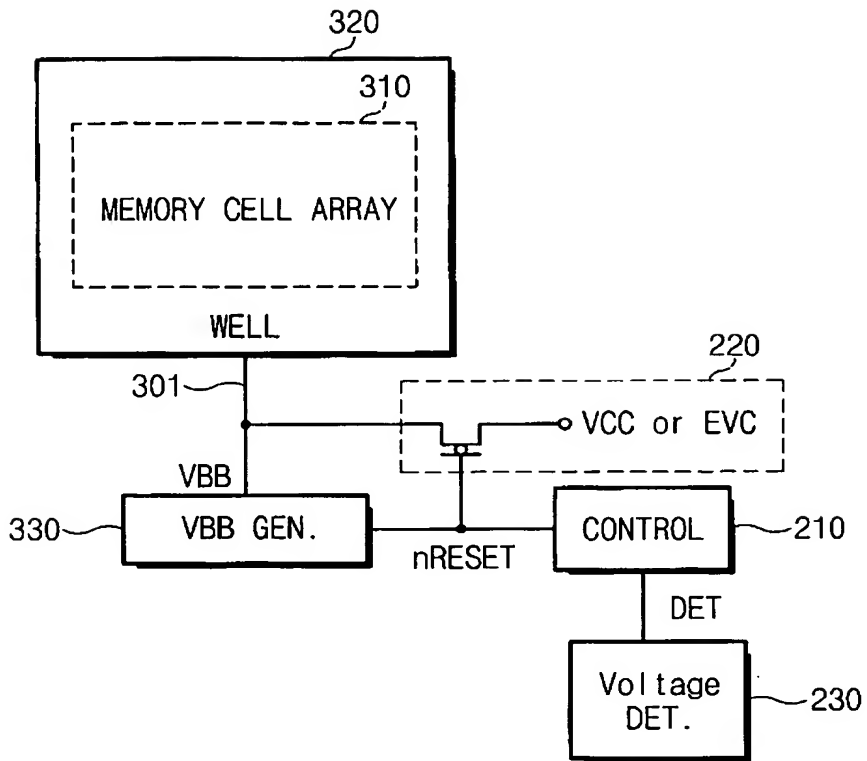
【도 4】



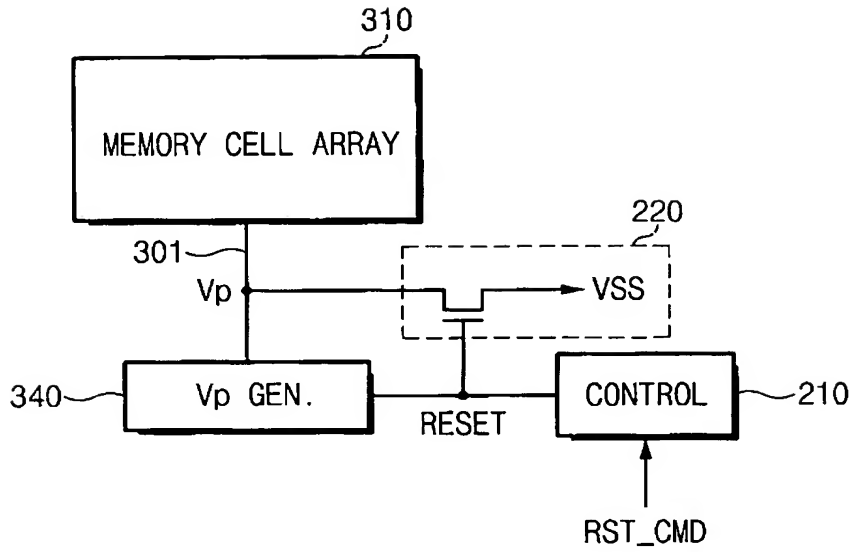


【도 5】

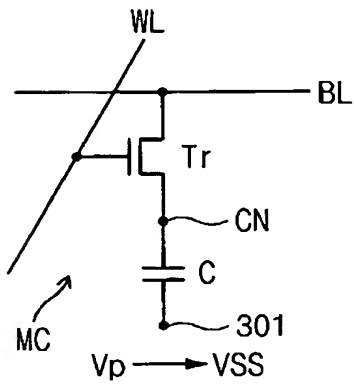
100



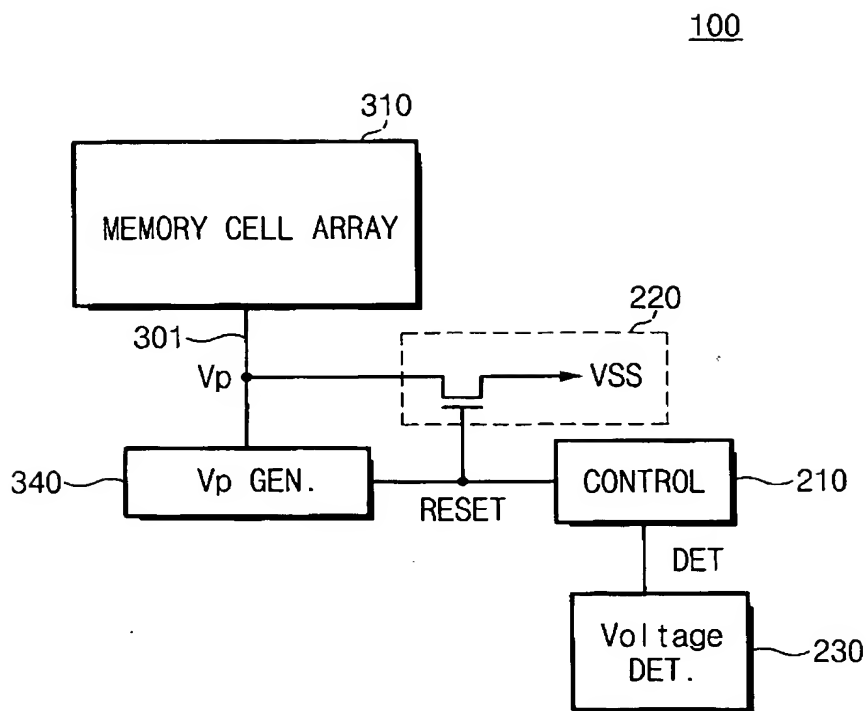
【도 6】

100

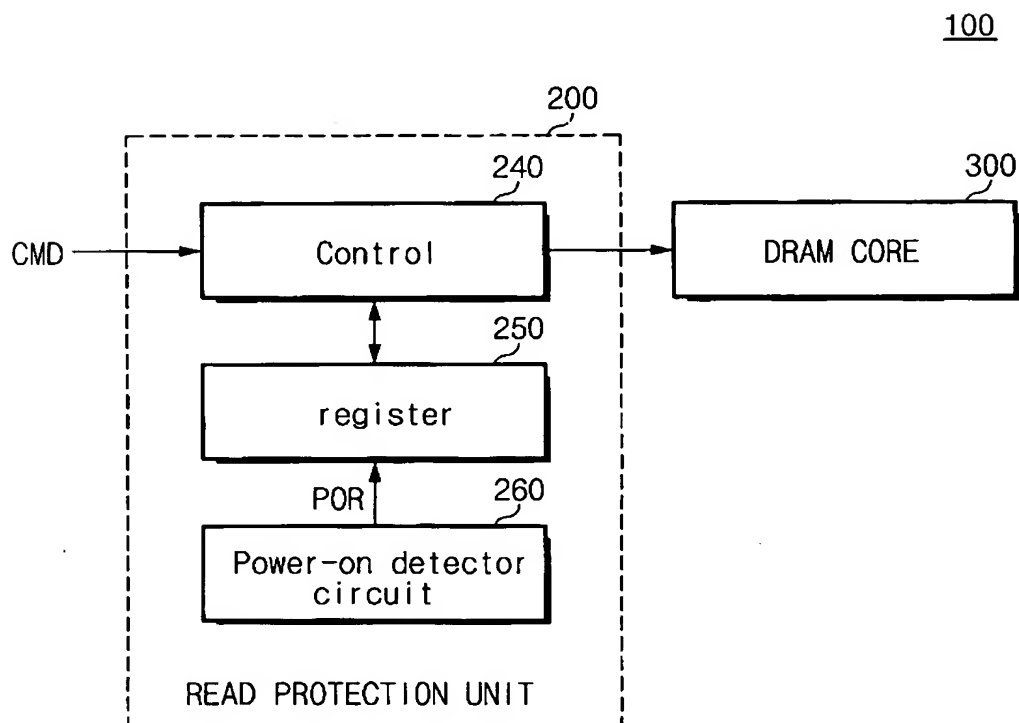
【도 7】



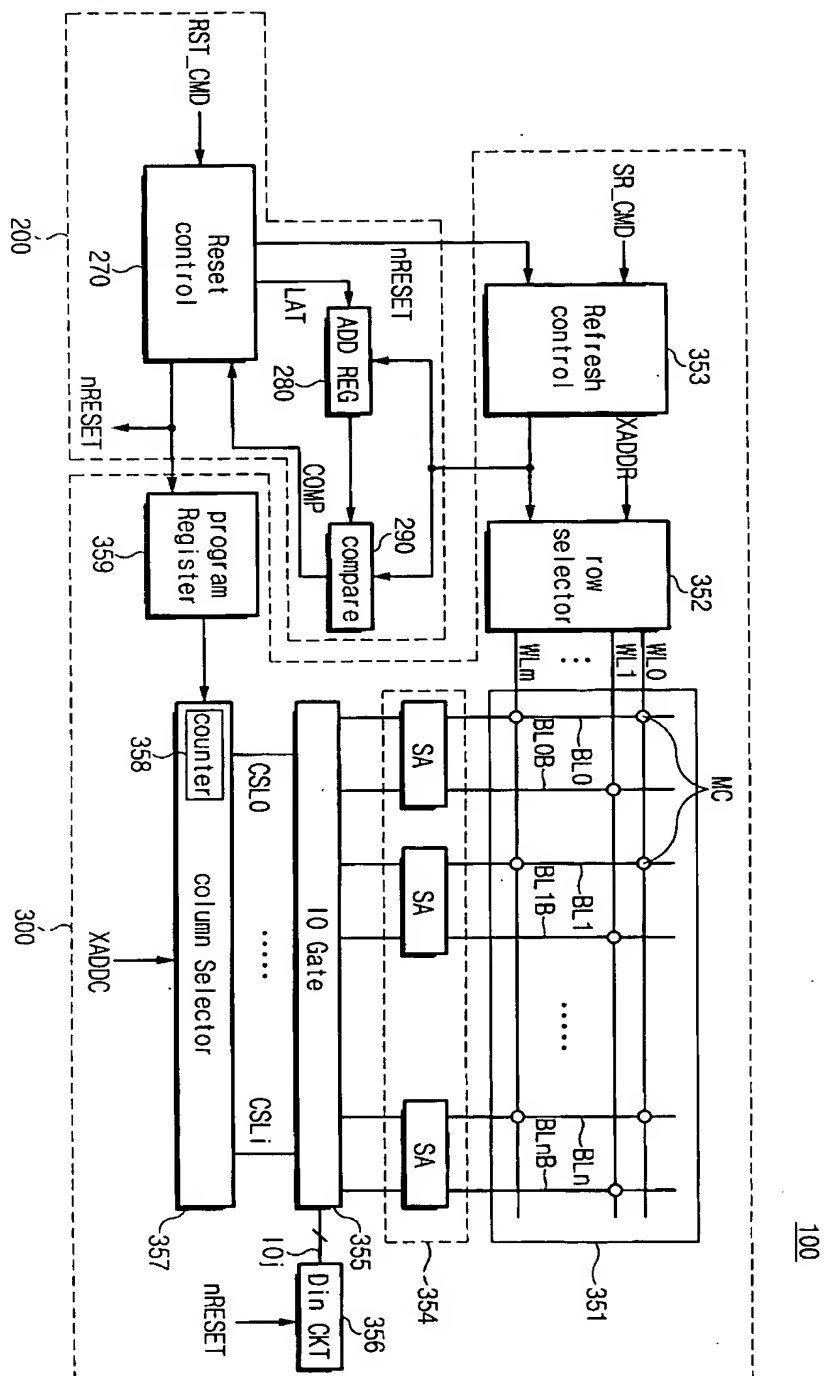
【도 8】



【도 9】



【도 10】



【도 11】

